Quiz 2 – Sintaxis VHDL

¿Qué función lógica representaría el siguiente código de la asignación a la salida Q en VHDL?

* Q <= ‘1’ when (input1 and not input2) or (input2 and not input1) else (others=>’0’);

XNOR

XOR

NAND

NOR

¿Cuál de los siguientes es un comentario en VHDL?

--

//

!!

\*\*

¿Cuál de las siguientes declaraciones de señales es de un vector de ocho bits con signo?

signal bit8s : unsigned(7 downto 0) := 2;

signal bit8s : unsigned(8 downto 0) := 2;

signal bit8s : signed(7 downto 0) := 1;

signal bit8s : signed(8 downto 0) := -1;

El rango del siguiente número de cuantos bits es:

signal counter2 : integer range 0 to 65535 := 255

64 bits

8 bits

32 bits

4 bits

16 bits

Cuales son las fallas de este segmento de código en VHDL de la entidad da00:

USE ieee.std\_logic\_1164;

ENTITY da00 IS

PORT(

a, b, c: IN STD\_LOGIC;

d : OUT STD\_LOGIC;

END da00

Falta la librería IEEE (library ieee;)

Falta el paréntesis para cerrar PORT

Falta que la entidad tenga un nombre válido

Falta ; al final de la entidad en END da00

Falta .ALL al final de std\_logic\_1164

Falta que sea a,b,c : IN STD\_LOGIC\_VECTOR; en vez de a, b, c, : IN STD\_LOGIC;

Dentro de que librería.paquete se encuentra la constante PI

IEEE.STD\_LOGIC

IEEE.STD\_LOGIC\_1164

IEEE.STD\_LOGIC\_VECTOR

IEEE.MATH\_REAL

IEEE.NUMERIC\_STANDARD

¿Cuales son nombres inválidos en VHDL?

1bit

CLK\_Sync

x-code

A0\_

Alarm\_\_1

Status 00

¿Que hace esta expresión de código en VHDL?

(clock’EVENT and clock = ‘1’)

Detecta ambos flancos

Detecta un flanco de subida

Detecta un flanco de bajada

Hace mención a una señal que no cambia de estado

Si desease asignar un tipo de señal “No me importa” o “Don’t Care” ¿Cuál sería?

‘U’

‘X’

‘Z’

‘W’

‘-’

¿Cúal de los siguientes tipos en VHDL no pueden designer un valor ‘Z’?

BIT

STD\_LOGIC

INTEGER

BIT\_VECTOR

STD\_LOGIC\_VECTOR